

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

w 0/6 7

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-270260

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H04N 5/265
G09G 5/14
H04N 5/073
H04N 5/45
H04N 5/66

(21)Application number : 11-073341

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.03.1999

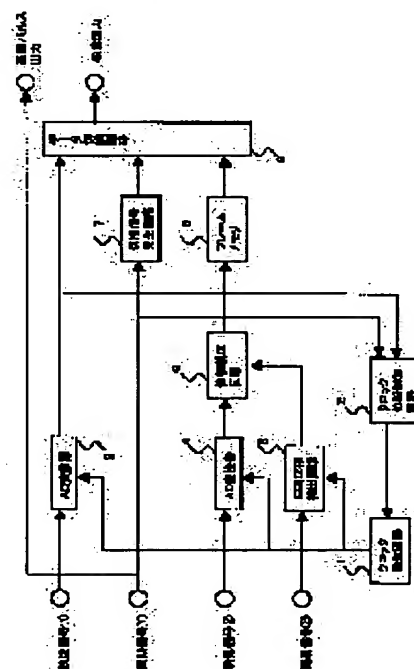
(72)Inventor : MATSUMOTO KEIZO
NOZAKI HIDEKI
INOUE SHUJI

(54) TWO-SCREEN DISPLAY PROCESSING UNIT AND MULTI-SCREEN DISPLAY PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To easily realize 2-screen display two asynchronous input signals in an excellent way with a simple circuit configuration by using only the clock of one system.

SOLUTION: A clock generating circuit 1 and a clock phase control circuit 2 generate a clock synchronized with a 1st video signal, A/D converters 3, 4 sample 1st and 2nd video signals, a synchronization phase detection circuit 5 detects the phase difference between the clock and a synchronizing signal of the 2nd video signal, a phase correction circuit 6 applies phase correction processing to the 2nd video signal on the basis of the phase difference to obtain the excellent 2nd video signal whose jitters or the like are corrected and writes the resultant signal in a frame memory 8. A switch signal generating circuit 7 generates a switch signal by using the synchronizing signal of the 1st video signal as a reference signal and a data changeover circuit 9 selects the 1st video signal or the 2nd video signal read from the frame memory, thereby generating a 2-screen display signal.



LEGAL STATUS

[Date of request for examination]

22.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

W 0/67

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-270260

(P2000-270260A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
H 0 4 N 5/265		H 0 4 N 5/265	5 C 0 2 0
G 0 9 G 5/14		G 0 9 G 5/14	Z 5 C 0 2 3
H 0 4 N 5/073		H 0 4 N 5/073	B 5 C 0 2 5
5/45		5/45	5 C 0 5 8
5/66		5/66	D 5 C 0 8 2
審査請求 未請求 請求項の数 7 O L (全 11 頁)			

(21)出願番号 特願平11-73341

(22)出願日 平成11年3月18日 (1999.3.18)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 松本 恵三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 野崎 秀樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

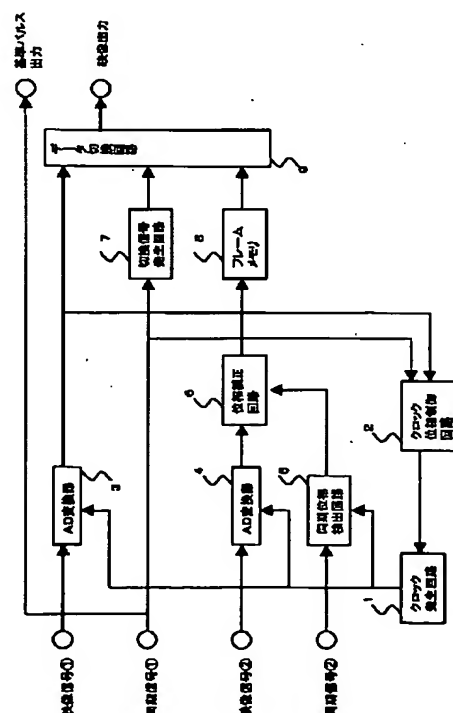
最終頁に続く

(54)【発明の名称】 2画面表示処理装置および多画面表示処理装置

(57)【要約】

【課題】 1系統のクロックのみを使用して、簡単な回路構成で容易に良好な非同期2入力信号の2画面表示処理を実現すること。

【解決手段】 クロック発生回路1およびクロック位制御回路2により、第1の映像信号に同期したクロックを作成しAD変換器3、4により、第1および第2の映像信号をサンプリングし、クロックと第2の映像信号の同期信号とから同期位相検出回路5で位相差を検出し、この位相差により位相補正回路6において第2の映像信号に対して位相補正処理を施し、ジッタ等を補正した良好な第2の映像信号を得てフレームメモリ8に書き込みを行う。切り換え信号発生回路7により第1の映像信号の同期信号を基準とした切り換え信号を作成し、これにより、第1の映像信号とフレームメモリから読み出した第2の映像信号とを、データ切り換え回路9で切り換えて2画面表示信号を作成する。



【特許請求の範囲】

【請求項1】 非同期2系統のアナログ入力映像信号を、ディジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のうち第1の映像信号に同期させたクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリングを行う第2のAD変換器と、前記クロックと第2の映像信号の同期信号とから位相差を検出する同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記位相差を補正する位相補正回路と、前記位相補正された映像信号2を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御信号を基に前記サンプリングされた第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、1系統のみの前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置。

【請求項2】 非同期2系統のアナログ入力映像信号を、ディジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のいずれにも同期していないクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリングを行う第2のAD変換器と、前記クロックと第1の映像信号の同期信号とから第1の位相差を検出する第1の同期位相検出回路と、前記サンプリングされた第1の映像信号に対して前記第1の位相差を補正する第1の位相補正回路と、前記クロックと第2の映像信号の同期信号とから第2の位相差を検出する第2の同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記第2の位相差を補正する第2の位相補正回路と、前記第2の位相補正された映像信号を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御信号を基に前記第1の位相補正された第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、いずれの入力信号にも同期していない1系統のみの前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置。

【請求項3】 非同期2系統のアナログ入力映像信号を、ディジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のうち第1の映像信号の同期の状態に応じて適応的に、第1の映像信号に同期させるか否かを制御するクロック位相適応制御回路と、前記クロック位相適応制御回路により

制御されたクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリングを行う第2のAD変換器と、前記クロックと第1の映像信号の同期信号とから第1の位相差を検出する第1の同期位相検出回路と、前記サンプリングされた第1の映像信号に対して前記第1の位相差を補正する第1の位相補正回路と、前記クロックと第2の映像信号の同期信号とから第2の位相差を検出する第2の同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記第2の位相差を補正する第2の位相補正回路と、前記第2の位相補正された映像信号を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御信号を基に前記第1の位相補正された第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、第1の映像信号の同期状態に応じて最適に制御された1系統の前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置。

【請求項4】 請求項1記載の2画面表示処理装置において、3つ以上の複数非同期入力信号の場合においても、同様に、第1の映像信号に同期した1系統のクロックのみで処理を行うことを特徴とする多画面表示処理装置。

【請求項5】 請求項2記載の2画面表示処理装置において、3つ以上の複数非同期入力信号の場合においても、同様に、いずれの入力映像信号にも同期しない1系統のクロックのみで処理を行うことを特徴とする多画面表示処理装置。

【請求項6】 請求項3記載の2画面表示処理装置において、3つ以上の複数非同期入力信号の場合においても、同様に、第1の映像信号の同期状態に応じて最適に制御された1系統のクロックのみで処理を行うことを特徴とする多画面表示処理装置。

【請求項7】 請求項1又は3又は4又は6に記載の2画面表示処理装置において、前記クロック発生回路において発生するクロックは、第1の映像信号の水平同期信号にロックさせる場合と、色副搬送波にロックさせる場合のいずれでも行うことを特徴とする多画面表示処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、非同期2系統のアナログ入力映像信号を、ディジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置に関し、特に2入力信号のサンプリングおよび信号処理を1つのクロックのみで処理を行う場合の映像信号処理回路に関するものである。

【0002】

【従来の技術】近年、液晶TV等においてもアスペクト比16:9のワイド画面が主流になってきており、その特性をいかした2画面表示システムが行われている。従来のTVで2画面表示を行う場合は、それぞれの映像信号入力に対してPLL回路等を用いて、信号がRGB方式やY色差方式の場合は水平同期信号を基準としたラインロックのクロックを、コンポジット信号等の場合はカラーバースト信号を基準としたバーストクロックのクロックを、各々独立に作成しこれらのクロックで各々サンプリングを行って信号処理を施し、副系の信号についてはラインメモリもしくはフィールドメモリ等を用いることによりクロック変換を行い、表示素子の駆動と同一のクロックに合わせ込む手法をとっていた。

【0003】これは、例えば特開平7-307904号公報に、親画面信号用同期分離回路と親クロック発生回路および子画面信号用同期分離回路と子クロック発生回路を各々もつ構成のシステムが示されている。

【0004】このような従来の2画面表示処理装置の一例を図6に示す。図6では、主系とする映像信号である映像信号①に同期したクロックCK1をクロック位相制御回路①2およびクロック発生回路①1により作成し、このCK1でAD変換器3により、映像信号①をサンプリングする。同様に、映像信号②に同期したクロックCK2をクロック位相制御回路②5およびクロック発生回路②4により作成し、このCK2でAD変換器6により、映像信号②をサンプリングする。CK2によりサンプリングされた映像信号②については、後段のフレームシンクロナイズ処理を表示の主系信号となる映像信号①に同期したCK1で行う為に、クロック変換回路7において、CK2の信号からCK1への信号へとクロック乗り換え動作を行った後、フレームメモリ8へ書き込まれる。

【0005】合成画面作成は、映像信号①の同期信号を基に切り換え信号発生回路9で作成される制御信号によって、映像信号①の同期信号とフレームシンクロナイズ処理をしながらフレームメモリ8より読み出された映像信号②と、映像信号①とを、データ切換え回路10により2画面表示信号に合成して出力される。

【0006】このように従来技術では、非同期の2入力信号を一つの表示装置に2画面表示するためのデジタル信号処理回路においては、各々の信号に同期した各々のクロックでサンプリングおよび信号処理を行い、副系の信号についてはクロック変換により主系の信号のクロックに寄せ替えを行い、主系の信号の同期を基準にフレームシンクロナイズ処理を行って2画面表示画面の作成が行われていた。

【0007】

【発明が解決しようとする課題】しかしながら、従来のように2つの異なる映像信号に対して各々同期クロック

を発生させるシステム構成とする場合、それに起因してビートやクロストーク等の影響が少なからず発生していた。

【0008】従来はそれらを回避する方法として、2つのクロックの周波数をビートの起こりにくい周波数になるように異ならせる等の調整を行ったり、多層基板等で防止する方法が一般的に取られていた。

【0009】本発明は、このような多画面処理システムにおけるデジタル信号処理での複数クロックによるクロックシステム構成の複雑さや、それに起因するビートやクロストーク等の発生という問題点を解決するとともに、システムの回路的にも合理化を行うものであり、1系統のクロックのみで複数の非同期入力信号を処理し良好に多画面表示処理を行うシステムを、簡単な回路構成で小規模に実現することを目的とするものである。

【0010】

【課題を解決するための手段】このような課題を解決するために本発明の2画面表示処理装置は、非同期2系統のアナログ入力映像信号を、第1の映像信号に同期させたクロックによって第1および第2の映像信号のサンプリングを行い、前記クロックと第2の映像信号の同期信号とから位相差を検出して、前記サンプリングされた第2の映像信号に対して前記位相差に対する映像信号の位相補正を施して、フレームシンクロナイズの為のフレームメモリへの書き込みを行い、合成については、前記第1の映像信号の同期信号から制御信号を作成し、この制御信号を基に前記サンプリングされた第1の映像信号と、第1の映像信号の同期を基にフレームシンクロナイズ処理をして前記フレームメモリから読み出された第2の映像信号とを、選択的に切り換えて2画面表示画面を作成する様に動作するシステム構成としたものである。

【0011】これにより、非同期2入力信号に対し1系統のみのクロックにより、ジッタ等のない良好な映像を合成して2画面表示するシステムを簡単な回路構成で容易に実現することができる。

【0012】

【発明の実施の形態】本発明の請求項1および4および7に記載の発明は、非同期2系統のアナログ入力映像信号を、デジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のうち第1の映像信号に同期させたクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリングを行う第2のAD変換器と、前記クロックと第2の映像信号の同期信号とから位相差を検出する同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記位相差を補正する位相補正回路と、前記位相補正された映像信号2を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御

信号を基に前記サンプリングされた第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、1系統のみの前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置としたものであり、1系統のクロックのみで2つの非同期入力信号を処理し、2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現するという作用を有する。

【0013】本発明の請求項2および5に記載の発明は、非同期2系統のアナログ入力映像信号を、デジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のいずれにも同期していないクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリングを行う第2のAD変換器と、前記クロックと第1の映像信号の同期信号とから第1の位相差を検出する第1の同期位相検出回路と、前記サンプリングされた第1の映像信号に対して前記第1の位相差を補正する第1の位相補正回路と、前記クロックと第2の映像信号の同期信号とから第2の位相差を検出する第2の同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記第2の位相差を補正する第2の位相補正回路と、前記第2の位相補正された映像信号を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御信号を基に前記第1の位相補正された第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、いずれの入力信号にも同期していない1系統のみの前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置としたものであり、1系統のクロックのみで2つの非同期入力信号を処理し2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現し、特に実施例1の場合と異なり、第1の映像信号に同期の変動の大きな不安定な信号が入力するような場合に同期させることにより、第2の映像信号に対する位相補正が十分行えないというような場合について、有効に動作するという作用を有する。

【0014】本発明の請求項3および6および7に記載の発明は、非同期2系統のアナログ入力映像信号を、デジタル信号処理を行い1つの表示装置に表示する2画面表示映像信号処理装置であって、入力信号のうち第1の映像信号の同期の状態に応じて適応的に、第1の映像信号に同期させるか否かを制御するクロック位相適応制御回路と、前記クロック位相適応制御回路により制御されたクロックを発生するクロック発生回路と、前記クロックで第1の映像信号のサンプリングを行う第1のAD変換器と、前記クロックで第2の映像信号のサンプリング

を行う第2のAD変換器と、前記クロックと第1の映像信号の同期信号とから第1の位相差を検出する第1の同期位相検出回路と、前記サンプリングされた第1の映像信号に対して前記第1の位相差を補正する第1の位相補正回路と、前記クロックと第2の映像信号の同期信号とから第2の位相差を検出する第2の同期位相検出回路と、前記サンプリングされた第2の映像信号に対して前記第2の位相差を補正する第2の位相補正回路と、前記第2の位相補正された映像信号を書き込むフレームメモリと、前記第1の映像信号の同期信号から制御信号を作成する切換え信号発生回路と、前記制御信号を基に前記第1の位相補正された第1の映像信号と、前記フレームメモリから読み出された第2の映像信号とを切り換えて合成画面を作成するデータ切り換え回路とを備え、第1の映像信号の同期状態に応じて最適に制御された1系統の前記クロックにより非同期2系統の入力信号を2画面表示することを特徴とする2画面表示処理装置としたものであり、1系統のクロックのみで2つの非同期入力信号を処理し2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現し、特に第1の映像信号の同期状態が安定な場合には、実施例1と同様の作用を行い、第1の映像信号の同期状態が不安定な場合には実施例2と同様の作用を行い、信号の状態に応じて常に最適な処理を行うという作用を有する。

【0015】以下、本発明の実施の形態について図面を用いて説明する。

【0016】（実施の形態1）図1は本発明の実施の形態1における2画面表示処理装置のブロック図を示し、図1において本2画面表示処理装置は、映像信号①に同期したクロックをクロック位相制御回路2およびクロック発生回路1により作成し、このクロックによりAD変換器3で映像信号①を、AD変換器4で映像信号②をサンプリングする。映像信号②については、映像信号②の同期信号と前記クロックとから同期位相検出回路5により位相差を検出し、この位相差により位相補正回路6において映像信号②が位相補正され、フレームメモリ8へ書き込まれる。合成画面作成については、映像信号①の同期信号を基に切り換え信号発生回路7で作成される制御信号によって、映像信号①とフレームシンクロナイズ処理をしてフレームメモリより読み出された映像信号②が、データ切換え回路9により2画面表示に合成されて出力される様に構成されている。

【0017】以上のように構成された2画面表示処理装置について、図1および図4、図5を用いてその動作を説明する。

【0018】まず、第1の映像信号入力である映像信号①もしくは同期信号①によってクロック位相制御回路2においてPLL手段等によりクロック発生回路1を制御して、映像信号①に同期した所望の周波数のクロック信号を作成する。ここで、所望の周波数とはシステムにお

いて必要となるサンプリング周波数もしくはシステムのマスタークロック等である。同期については、入力映像信号の信号形態に応じて例えば、RGB信号入力やY色差信号入力の場合は水平同期信号にロックさせるすなわちラインロックであったり、コンポジット信号入力やY・クロマ分離信号入力の場合はカラーバースト信号にロックさせるバーストロックであったりと、入力に応じて適宜選択されるものである。

【0019】こうして作成されたクロックにより、AD変換器3で第1の映像信号①を、AD変換器4で第2の映像信号②をサンプリングする。

【0020】尚、このようにAD変換器3、4は同一クロックで使用されるため、例えば映像信号①がコンポジット入力で映像信号②がRGB入力の場合に、AD①で映像信号①のコンポジット信号を、AD②で映像信号②のR信号、AD③で映像信号②のG信号、AD④で映像信号②のB信号というように使用できる。また、RGB信号とY色差信号については3つの信号のうち2つをマルチプレックスすることにより2個のAD変換器でサンプリングすることにより、これらの組み合わせを計4個のAD変換器で実現することができる。従って、RGB/Y色差/コンポジット/Y・クロマ分離の各入力信号形態を分けて、AD変換器3とAD変換器4をAD①～④にうまく振り分け兼用しながら効率的にサンプリングする使い方が可能となる。

【0021】こうしてサンプリングした映像信号のうち、映像信号①はロックしたクロックでサンプリングしているためジッタ等のない良好な信号となっている。一方映像信号②については、非同期のクロックでサンプリングしていることになるので、これを補正する必要がある。

【0022】これは、映像信号②の同期信号②と前記クロックとを比較し位相差を検出する同期位相検出回路5と、この位相差を信号処理により実際に補正を施す位相補正回路6によって実施される。

【0023】以下に、同期位相検出回路5と位相補正回路6の動作を図4および図5を用いて説明する。

【0024】図4は同期位相検出回路5の一例回路による動作の概念を説明する模式図である。図4に示すように同期位相検出回路5では、映像信号②の同期信号②の変化点を検出クロックの正エッジと負エッジでラッチした各々の信号（「正エッジ検出出力」/「負エッジ検出出力」）を出力し、この2信号のエッジ位置の前後関係により、図5の上段の例では、「出力HRST信号」の示す位置にHRST信号（水平同期基準信号：以下水平同期基準信号をHRST信号と表記）を出力し、実際の映像基準位置はこれより0.5クロック後方であるという補正情報を出力する。

【0025】同様に下段の例では、「出力HRST信号」の示す位置にHRST信号を出力し、実際の映像基

準位置はこのHRSTと一致している（補正位置=0）と補正情報を出力する。

【0026】この例では補正位相0と0.5の2位相しか検出できないが、実際には同期位相検出回路5の検出クロックはサンプリングレートに対して1倍されているか、もしくはシステムクロック自体が、サンプリングレートや信号処理レートに対して1倍されており、これにより位相検出の分解能を上げられて検出が行われる。さらに実際にはHRST信号についても、1水平周期の長さの調整等も合わせて行われ、1サンプリング周期以上のジッタ成分も制御されて、出力できるようになっているものである。

【0027】位相補正回路6は、デジタル映像信号の前後の値から内挿して位相補正を行うものであり、本実施例においては、映像の水平ズーム処理の内挿演算と合わせて同時に処理を行うため、位相補正にそのものの追加による映像信号の画質劣化はない。ここで、1サンプリング周期以上の位相補正についても、サンプリング周期の整数部については前述のHRST信号の出力位置調整で、小数部については補正位相情報で、位相の補正を行うことが出来るようになっている。

【0028】このとき、位相のずれる方向によらず常に小数部補正は正方向（時間的に後方）に制御できるよう、HRST信号の位置制御と補正值（負方向の場合は、位相値を1の補数とする）の制御が行われる。これは、位相補正回路での内挿による位相補正を、各H（ライン）間一定である正方向のオフセットとして扱えば、内挿制御が容易にできるためである。

【0029】図5は位相補正回路6の一例回路として、上記のように水平ズーム演算と同時に内挿処理を行う場合の位相補正回路の動作概念を説明する図であり、1サンプリング周期以上の位相ずれの場合を含む位相補正の概念を模式的に示すものである。尚、図5の入力信号の数値は具体的な信号の値を示すものではなく信号の位置概念を示すものであり、内挿結果欄についても絶対的な時間関係を示している図ではない。図5でジッタ±0時の例は位相が一致している場合の例で、入力信号に対して内挿結果の欄に示すような内挿結果を出力し、ズーム演算のためにメモリに対し“W”の位置の信号を間引き書き込みするよう動作することを示している。

【0030】図5の+1/4位相時のジッタ例は、整数部補正は±0（点線で示すHRST信号で実際に内挿係数算出回路が制御されるイメージ）で小数部補正值が1/4となり、図示するように内挿演算結果が出力される。+3/2位相時のジッタの例では、整数部補正は+1で小数部補正值が1/2となり図示するような内挿演算結果が出力されることとなり、正方向への位相補正が行われる。

【0031】一方、-1/4位相時のジッタの例では、整数部補正は-1（点線で示すHRST信号で実際に内

挿係数算出回路が制御されるイメージ)で小数部補正值が $1 - 1/4 = 3/4$ となり、図示するような内挿演算結果が出力される。同様に、 $-4/3$ 位相のジッタの例では、整数部補正は -2 で位相補正值が $1 - 1/3 = 2/3$ となり、図示するような内挿演算結果が出力されることとなり、負方向への位相補正が行われる。

【0032】このように位相検出を整数部と小数部に分け、ジッタの発生方向により位相検出回路5側で位置制御されたH R S T信号と補正位相情報を出力することで、位相補正回路6は容易に基準位置のずれた信号に対しても補正を行うことができる。

【0033】こうして補正を施された映像信号②は、フレームシンクロナイズのためのフレームメモリ8へ書き込まれる。画面合成動作としては、切換え信号発生回路7で映像信号①の同期信号①を基準に作成された切り換え制御信号を出力し、この制御信号により映像信号①と、映像信号①の同期信号①を基準にフレームシンクロナイズ動作を行いながらフレームメモリ8より読み出された映像信号②とが、データ切換え回路9により合成されて2画面表示映像信号として表示装置に出力される。

【0034】以上の説明のように、1系統のクロックのみで2つの非同期入力信号を処理し、画質の劣化を抑えた良好な2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現することができる。

【0035】(実施の形態2)図2は本発明の実施の形態2における2画面表示処理装置のブロック図を示し、図2において本2画面表示処理装置は、いずれの入力映像信号にも同期していないクロックがクロック発生回路1により作成され、このクロックによりAD変換器2で映像信号①を、AD変換器5で映像信号②をサンプリングする。映像信号①については、映像信号①の同期信号①と前記クロックとから同期位相検出回路3により映像信号①の位相差を検出し、この映像信号①の位相差により位相補正回路4において映像信号①に対し位相補正される。映像信号②については、映像信号②の同期信号②と前記クロックとから同期位相検出回路6により映像信号②の位相差を検出し、この映像信号②の位相差により位相補正回路7において映像信号②に対し位相補正され、フレームメモリ8へ書き込まれる。合成画面作成は、映像信号①の同期信号を基に切り換え信号発生回路9で作成される制御信号によって、補正済みの映像信号①とフレームシンクロナイズ処理をしてフレームメモリより読み出された映像信号②が、データ切換え回路10により2画面表示に合成されて出力される様に構成されている。

【0036】以上のように構成された2画面表示処理装置について、図2を用いてその動作を説明する。

【0037】まず、いずれの映像信号入力にも同期していない所望の周波数のクロック信号がクロック発生回路1により作成される。ここで、所望の周波数とはシステ

ムにおいて必要となるサンプリング周波数もしくはマスタクロックである。こうして作成されたクロックにより、AD変換器2で第1の映像信号①を、AD変換器5で第2の映像信号②をサンプリングする。

【0038】尚、本実施例においても、AD変換器2、5は同一クロックで使用されるため、AD変換器を効率的に利用することが可能となる。

【0039】こうしてサンプリングされた映像信号はいずれにも非同期のクロックでサンプリングされているので、これを各々補正する必要がある。映像信号①については、映像信号①の同期信号①と前記クロックとを比較し位相差を検出する同期位相検出回路3と、この位相差を信号処理により実際に補正する位相補正回路4によって、映像信号②については、映像信号②の同期信号②と前記クロックとを比較し位相差を検出する同期位相検出回路6と、この位相差を信号処理により実際に補正する位相補正回路7によって、各々独立に位相差の検出と補正が実施される。

【0040】ここで、同期位相検出回路3および6は、実施の形態1で説明した同期位相検出回路と同様の動作を行い、位相補正回路4および7についても実施の形態1で説明した位相補正回路と同様の動作を行うものである。

【0041】以上のように補正を施された映像信号②は、フレームシンクロナイズのためにフレームメモリ8へ書き込まれる。画面合成動作としては、切換え信号発生回路9で映像信号①の同期信号①を基準とした切り換え制御信号を出力し、位相補正済みの映像信号①と、映像信号①の同期信号①を基準にフレームシンクロナイズ動作を行いながらフレームメモリ8より読み出された映像信号②とが、前記制御信号によりデータ切換え回路10で合成されて2画面表示信号として表示装置に出力される。

【0042】次に、本実施の形態の特徴について説明する。実施の形態1のようにクロックを第1の映像信号に同期させた場合に、第1の映像信号入力が例えばジッタの大きなVTR再生や車載TVの弱電界受信時のような同期が不安定で同期変動が激しい場合においては、第2の映像信号への影響が大きく位相補正回路での補正範囲を超えてしまい良好な映像を得ることが出来なくなってしまうことがある。このような場合においては、本実施例のように、いずれにも同期させないクロックによりサンプリングを行い、第1および第2の映像信号の各々に独立に位相補正を施すシステムの方が、むしろいずれかに偏ることなく、いずれもある程度良好な画質を得ることができることになる。

【0043】特に、本実施例においては、いずれの入力信号にも同期させる必要がないため、PLL回路等の同期手段を削減でき回路を合理化することも出来るものである。

【0044】以上の説明のように、1系統のクロックのみで2つの非同期入力信号を処理し、いずれかに同期の不安定な信号が入力された場合でも画質の劣化を抑えた良好な2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現することができる。

【0045】（実施の形態3）図3は本発明の実施の形態3における2画面表示処理装置のブロック図を示し、図3において本2画面表示処理装置は、映像信号①の同期の状態によりクロック位相適応制御回路2において映像信号①もしくは同期信号①の状態に応じて適応的に制御され、映像信号①に同期もしくはいずれの入力にも非同期なクロックがクロック発生回路1で作成される。このクロックによりAD変換器3で映像信号①を、AD変換器6で映像信号②をサンプリングする。

【0046】映像信号①については、クロックが映像信号①に同期している場合には必要ないが、クロックが非同期の場合には、映像信号①の同期信号①と前記クロックとから同期位相検出回路4により映像信号①の位相差を検出し、この映像信号①の位相差により位相補正回路5において映像信号①に対し位相補正される。

【0047】映像信号②については、映像信号②の同期信号②と前記クロックとから同期位相検出回路7により映像信号②の位相差を検出し、この映像信号②の位相差により位相補正回路8において映像信号②に対し位相補正され、フレームメモリ9へ書き込まれる。合成画面作成は、映像信号①の同期信号①を基に切り換え信号発生回路10で作成される制御信号によって、位相補正済みの映像信号①とフレームシンクロナイズ処理をしてフレームメモリより読み出された映像信号②が、データ切換え回路11により2画面表示に合成されて出力する様に構成されている。

【0048】以上のように構成された2画面表示処理装置について、図3を用いてその動作を説明する。

【0049】まず、クロック位相適応制御回路2において、映像信号①の同期の状態に応じて、同期が安定な場合には映像信号①にロックするようクロック発生回路1を制御しロックしたクロックを発生し、同期が不安定な場合にはいずれの信号にも同期しないようにクロック発生回路1を制御し非同期の自走クロックを発生する。こうして作成されたクロックにより、AD変換器3で第1の映像信号①を、AD変換器6で第2の映像信号②をサンプリングする。

【0050】尚、本実施例においても、AD変換器3、6は同一クロックで使用されるため、AD変換器を効率的に利用することが可能となる。

【0051】映像信号①については、クロックが非同期の場合すなわちフリーランクロックの場合には、映像信号①の同期信号①と前記クロックとを比較し位相差を検出する同期位相検出回路4と、この位相差を信号処理により実際に補正する位相補正回路5によって、実施例2

と同様に位相差の検出と補正が実施される。クロックを映像信号①にロックさせたクロックとした場合には、位相補正は必要ないので補正動作は行わない。

【0052】映像信号②については、クロックの状態がいずれの場合であっても映像信号②の同期信号②と前記クロックとを比較し位相差を検出する同期位相検出回路7と、この位相差を信号処理により実際に補正する位相補正回路8によって、実施例1または2と同様に位相差の検出と補正が実施される。但し、入力信号が同一であってもクロックの状態（ロック状態かフリーラン）によってその補正の状態は変わってくる。

【0053】以上のように補正を施された映像信号①および②は、実施の形態1もしくは2での説明と同様に、フレームシンクロナイズ処理と2画面合成処理が行われ、2画面表示信号として表示装置に出力される。

【0054】ここで本実施の形態の特徴は、映像信号①の同期の状態が安定な時は、そのような場合に対してより適した構成である実施の形態1と同様の動作を行い、映像信号①の同期の状態が不安定な時は、そのような場合に対してより適した構成である実施の形態2と同様の動作を行うように作用するもので、主系画面となる映像信号①の同期の状態に応じて、常に2画面とも最良の状態で2画面表示を行うことができるよう動作するものである。

【0055】以上の説明のように、1系統のクロックのみで2つの非同期入力信号を処理し、同期の状態によらず常に良好な2画面表示処理を行うシステムを、簡単な回路構成で小規模に実現することができる。

【0056】

【発明の効果】以上の説明から明らかなように本発明によれば、同期位相検出回路および位相補正回路といったデジタル信号処理による簡単な回路を付加することにより、1系統のクロックシステムのみで、非同期2入力信号の良好な2画面表示処理を容易に行うことのできるシステムを構成でき、クロック発生回路およびPLL回路等を削減した合理化システムとすることができる。

【0057】これにより、非同期の2系統映像信号を同時に表示する2画面表示テレビジョン等において、個々の信号に同期させた複数のクロックを持つことによるシステム全体のクロック構成の複雑さや、それに起因するビートやクロストーク等の発生という問題点を解決することができるため、ビートやクロストークの回路基板等での対策や、クロック周波数調整等が不要となりこれによる水平表示率等への制限等も発生しなくなる。

【0058】さらに、クロックを同一とするためAD変換器についても入力信号毎（クロック毎に）に区別する必要がなくなるため、信号形態により多数あるR、G、B、Y、クロマ、コンポジット、Pr、Pb信号等の多数の入力信号を、主系と副系の信号別に区別することなくAD変換器を兼用でき効率的に利用することができ

る。

【0059】また、その他の映像信号処理においてもクロック構成回路の合理化や調整数削減等の目的によりPLL手段を省略する映像信号処理システムや、さらには、PLL手段を用いる場合であっても精度向上等のPLL動作の補完目的等において、非同期多入力信号の多画面表示処理を行う回路に用いて最適な回路とすることができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態1による2画面表示処理装置の構成を示すブロック図

【図2】本発明の実施の形態2による2画面表示処理装置の構成を示すブロック図

【図3】本発明の実施の形態3による2画面表示処理装置の構成を示すブロック図

【図4】本発明の実施の形態1乃至3での同期位相検出

回路例の動作を説明する模式図

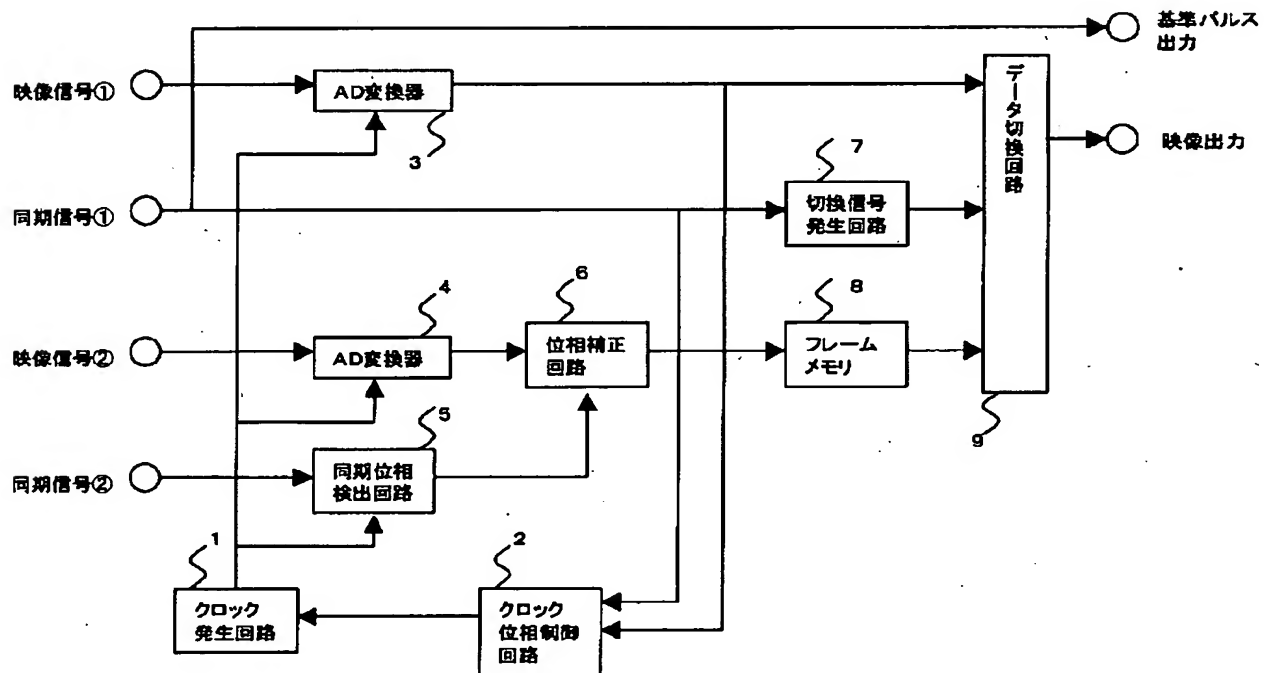
【図5】本発明の実施の形態1乃至3での位相補正回路例の動作を説明する概念図

【図6】従来例の2画面表示処理装置の一例の構成を示すブロック図

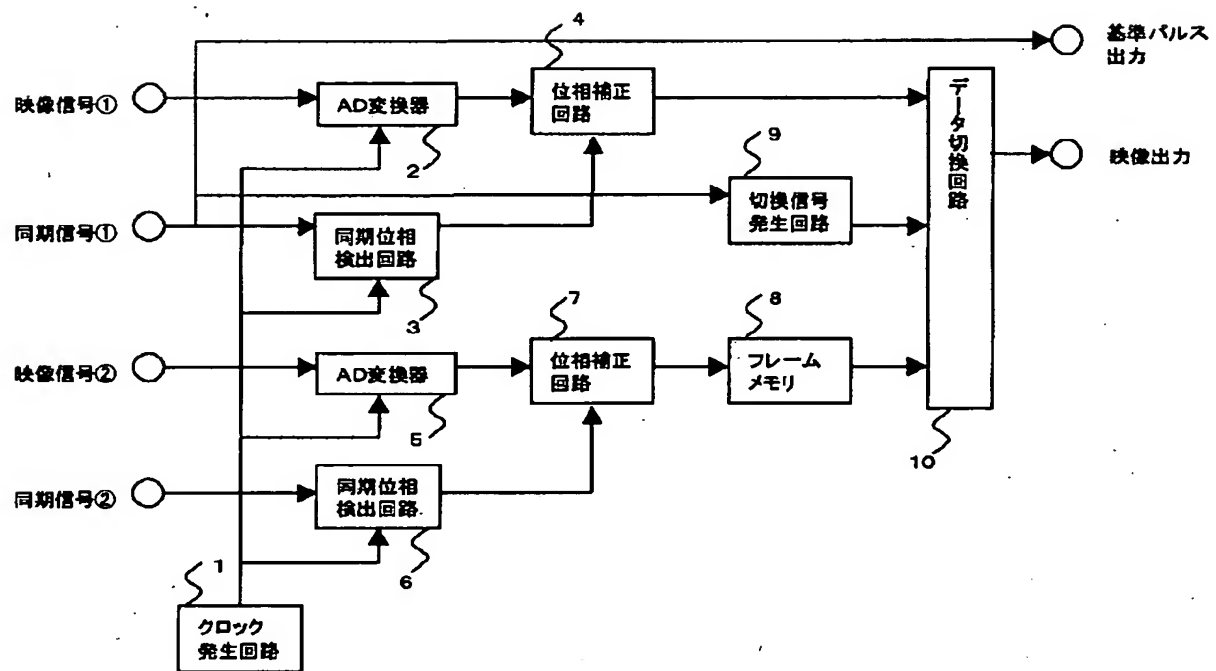
【符号の説明】

- 1... クロック発生回路
- 2... クロック位相制御回路
- 3... A/D変換器
- 4... A/D変換器
- 5... 同期位相検出回路
- 6... 位相補正回路
- 7... 切換信号発生回路
- 8... フレームメモリ
- 9... データ切換回路

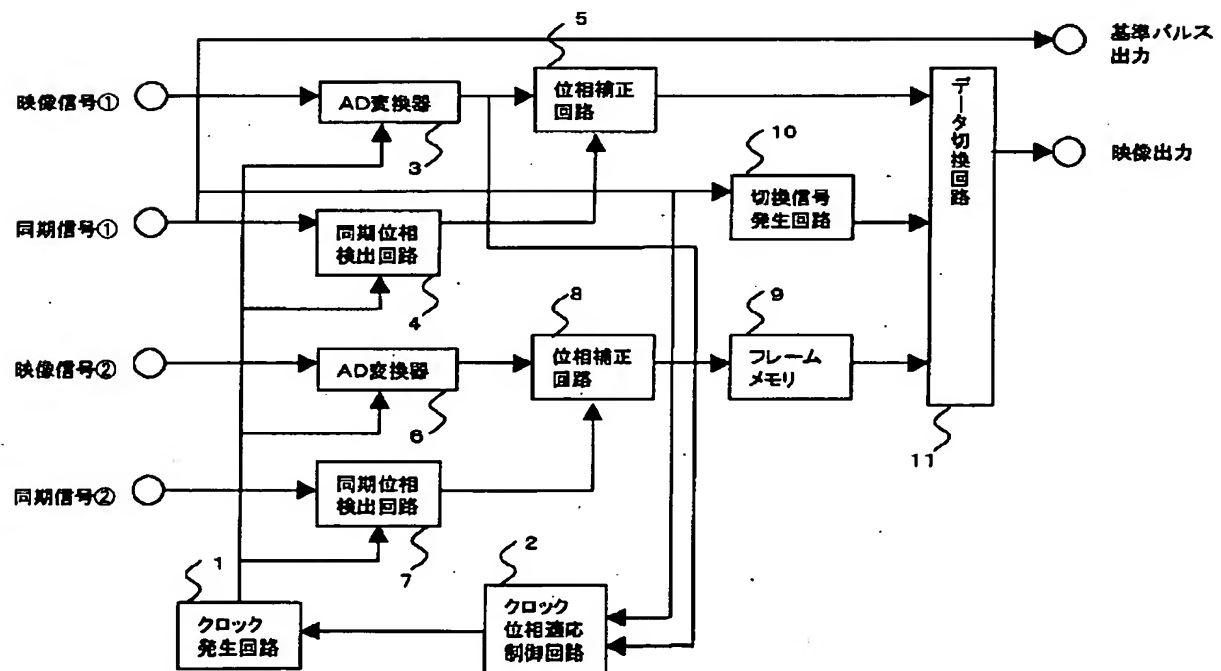
【図1】



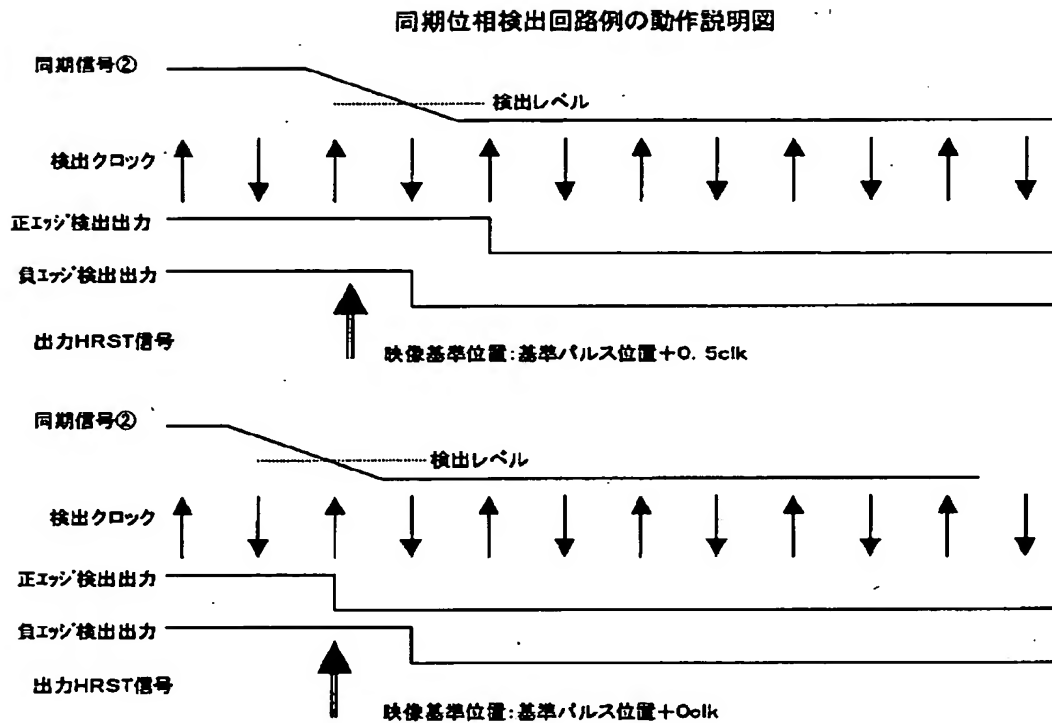
【図2】



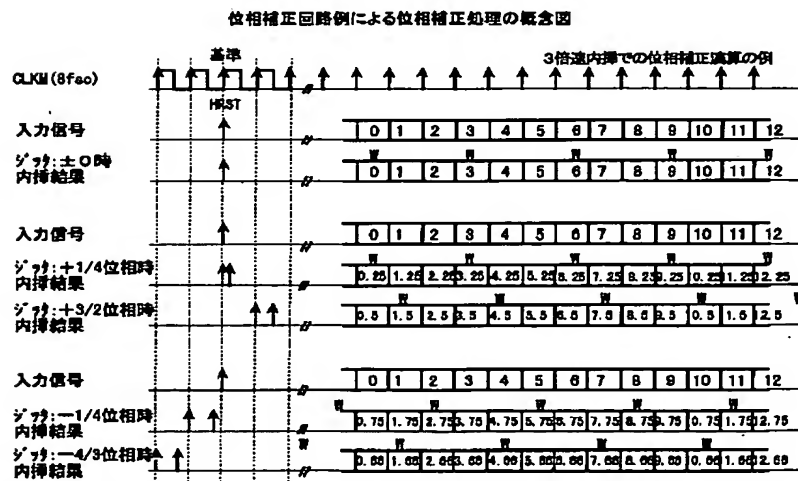
【図3】



【図4】

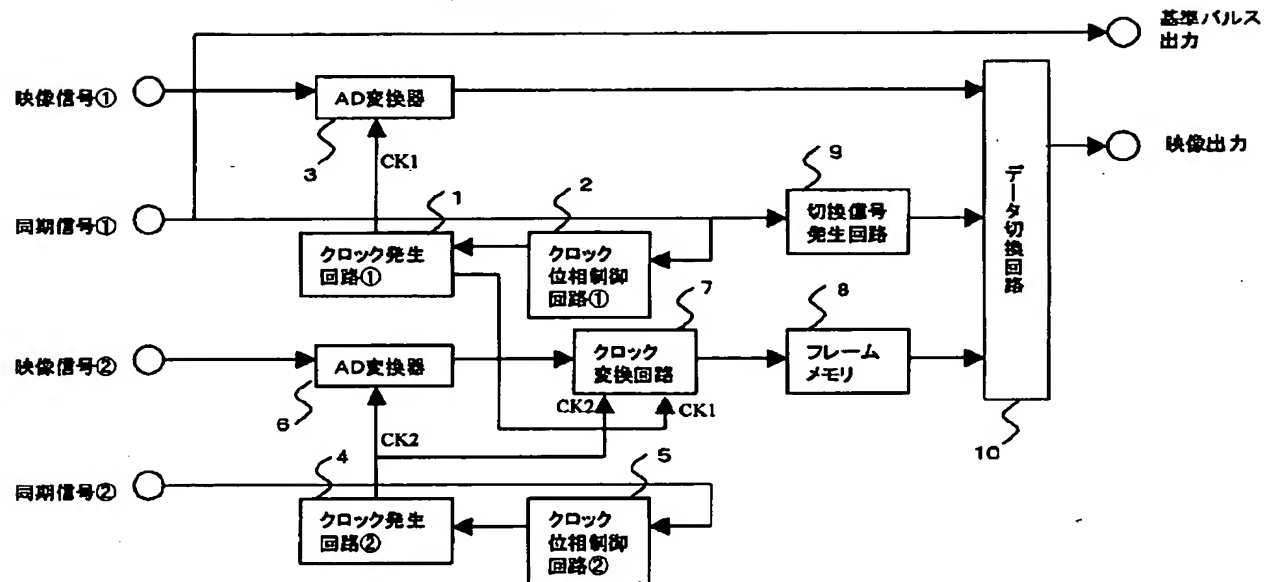


【図5】



【図6】

従来例の構成図



フロントページの続き

(72)発明者 井上 修司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5C020 AA13 AA14 AA21 AA35 CA11
CA13 CA15
5C023 AA14 AA21 BA09 BA12 CA03
CA08 DA04 EA15
5C025 AA28 BA05 BA25 BA27 BA28
CA03 CA06
5C058 AA07 AA08 BA21 BB04 BB06
BB08 BB10 BB13
5C082 AA02 BA12 BA34 BA35 BA41
BB03 BB15 BC19 CA62 DA01
DA53 DA76 MM05